

Datos básicos de la asignatura

Titulación:	Máster Unv. en Microelectrónica: Diseño y Aplicaciones de Sistemas
Año plan de estudio:	2010
Curso implantación:	2010-11
Centro responsable:	Facultad de Física
Nombre asignatura:	Técnicas Avanzadas de Diseño
Código asignatura:	50990011
Tipología:	OPTATIVA
Curso:	1
Periodo impartición:	Segundo cuatrimestre
Créditos ECTS:	6
Horas totales:	150
Área/s:	Electrónica Tecnología Electrónica
Departamento/s:	Electrónica y Electromagnetismo Tecnología Electrónica

Coordinador de la asignatura

ACOSTA JIMENEZ, ANTONIO JOSE

Profesorado (puede sufrir modificaciones a lo largo del curso por necesidades organizativas del Departamento)

Profesorado de grupo principal

ACOSTA JIMENEZ, ANTONIO JOSE

GINES ARTEAGA, ANTONIO JOSE

TENA SANCHEZ, ERICA

Objetivos y competencias

OBJETIVOS:

¿ Saber aplicar técnicas de diseño para muy bajo consumo de potencia, baja tensión de polarización y alta velocidad de operación.

¿ Aprender a modelar el comportamiento de circuitos CMOS VLSI y analizar sus

prestaciones.

¿ Conocer los problemas inherentes a la operación de circuitos CMOS de altas prestaciones, como la distribución de señales y alimentaciones, desajustes de relojes, integridad de señal, ruido de conmutación, etc.

¿ Conocer estructuras de circuitos y técnicas de diseño alternativas al diseño CMOS convencional.

¿ Adquirir formación para iniciar trabajos de investigación en estas áreas

COMPETENCIAS:

Competencias específicas:

E04. Conocer tendencias avanzadas en circuitos y sistemas electrónicos, dispositivos y tecnologías micro y nanométricas.

E05. Adquirir conocimientos específicos en áreas de gran interés como son las comunicaciones inalámbricas, el sensado y procesado de señales sensoriales o las técnicas avanzadas de diseño y test.

Competencias genéricas:

G02. Aumentar su capacidad de análisis y síntesis.

G03. Estimular sus posibilidades de planteamiento y resolución de problemas.

G04. Ampliar su iniciativa y actitud emprendedora.

Contenidos o bloques temáticos

Técnicas de diseño para muy bajo consumo de potencia, baja tensión de polarización y alta velocidad de operación.

Modelado avanzado de comportamiento y medida de prestaciones.

Problemática relacionada con la operación de circuitos CMOS de altas prestaciones y no convencionales.

Relación detallada y ordenación temporal de los contenidos

La asignatura se estructura en dos bloques (I y II) y tres secciones (Temas I.1 y I.4, Prof. Acosta; Temas 1.2 y 1.3, Prof. Tena; y Bloque II, Prof. Ginés). Para el seguimiento de la asignatura, es altamente recomendable haber cursado las asignaturas del módulo obligatorio, especialmente Metodologías y Herramientas de CAD y Circuitos Integrados Analógicos, Digitales, de Señal Mixta y RF (AMS/RF). En caso de no haberse cursado esas asignaturas, será necesario complementar los conocimientos de diseño CMOS y herramientas de CAD (Cadence). Los contenidos se presentan tanto en español e inglés, aunque todo el material complementario (artículos, libros, manuales, etc), están en inglés.

Los contenidos de cada tema se liberarán semanal o quincenalmente, pudiéndose trabajar asincrónicamente por los alumnos. Tras la liberación, se dispondrán las tareas de evaluación (véase apartado de evaluación).

BLOQUE I: DISEÑO DIGITAL AVANZADO (20h presenciales, 80h no presenciales)

Tema I.1: Limitaciones del diseño digital convencional (inglés). 1 semana. Liberación la semana 1

o Avances en la escala de integración. Efectos sobre los dispositivos.

o Efectos del aumento de temperatura, potencia, etc. en el rendimiento de los ASIC.

o Límites prácticos en dimensiones reducidas, escala de integración, etc.

o Efectos de la reducción de la tensión de alimentación.

Tema I.2: Temporización en circuitos y sistemas digitales. 3 semanas. Liberación la semana 2

- o Esquemas de temporización y de reloj. Análisis de rendimiento.
- o Estilos de diseño y elementos de memoria para aplicaciones de alta velocidad.
- o Modelado dinámico de retrasos de puertas. Efecto de degradación.
- o Mecanismos de generación y distribución de reloj. Desajustes de reloj (clock skew).
- o Diseño asíncrono autotemporizado. Esquemas globalmente asíncronos, localmente síncronos (GALS). Metaestabilidad, sincronización y arbitración.

Tema I.3: Técnicas de bajo consumo en circuitos y sistemas digitales. 2 semanas.
Liberación la semana 5

- o Contribuciones al consumo de energía. Influencia de los parámetros tecnológicos y de diseño habituales: dimensionamiento de transistores, cargas capacitivas, tensión de alimentación, actividad de conmutación, temperatura, etc.
- o Técnicas de estimación y modelado de contribuciones separadas del consumo de energía. Herramientas CAD.
- o Mecanismos específicos y genéricos para reducir el consumo de energía en diferentes niveles de descripción: sistema, algoritmo, arquitectura, circuito, puerta y dispositivo.
- o Estrategias de diseño para la reducción del consumo de energía dinámica, cortocircuito y fuga (leakage).
- o Ejemplos de optimización de potencia: circuitos aritméticos.

Tema I.4: Ruido e integridad de señal en circuitos integrados digitales (inglés). 3 semanas.
Liberación la semana 7

- o Características y limitaciones en la distribución de señal, polarizaciones e interconexiones en ASIC.
- o Descripción de acoplamiento capacitivo e inductivo. Descripción y modelado de diferentes tipos de ruido. Ruido de conmutación.

- o Mecanismos de generación, distribución y efectos del ruido de conmutación.
- o Técnicas de estimación basadas en modelado on-chip y simulación para el ruido de conmutación.
- o Técnicas de diseño específicas para la generación de bajo ruido. Metodologías de reducción de ruido mediante técnicas convencionales.

BLOQUE II: DISEÑO ANALOGICO AVANZADO (10h presenciales, 40h no presenciales)

Tema II.1: Limitaciones del diseño analógico convencional (inglés). 1 semana. Liberación la semana 10

- o Efectos del escalado de la tecnología en dispositivos analógicos.
- o Impacto del escalado de la tecnología en el rendimiento de circuitos analógicos.
- o Problemas de integración:
 - Tecnología de encapsulado
 - Acoplamiento de ruido de conmutación en diseño analógico de señal mixta.
- o Opciones de procesos tecnológicos.

Tema II.2: Técnicas de diseño analógico avanzado (inglés). 1 semana. Liberación la semana 11

- o Concepto de software-radio.
- o Estrategias avanzadas de diseño y verificación.
 - Trimming y calibración digital.
 - Metodologías de diseño top-down y bottom-up.
- o Técnicas de mitigación de ruido de conmutación y de sustrato en circuitos de señal mixta.
 - Técnicas avanzadas de polarización.

- Separaciones de anillos de Pad.
- Técnicas de desacoplo.

Tema II.3 Diseño analógico asistido digitalmente: conceptos de calibración / trimming (inglés). 1 semana. Liberación la semana 12

o Diferencias entre trimming y calibración.

o Técnicas de trimming.

o Técnicas de calibración:

- Proceso de calibración.
- Aproximaciones Foreground y Background.

o Implementaciones prácticas en bloques básicos:

- Dispositivos de RF
- ADCs y DACs.
- Otros dispositivos.

Tema II.4: Simulaciones mixtas: AMS, Técnicas de optimización eléctrica (inglés). 1 semana. Liberación la semana 13

o Comparación entre verificación analógica y digital on-top.

o Simulaciones analógicas y de señal mixta.

o Técnicas de modelado:

- Verilog / VHDL funcional
- Lenguajes de descripción AMS (Veriloga, Verilog-AMS, etc.)

The course is structured in two blocks (I and II) and three sections (Topics I.1 and I.4, Prof. Acosta; Topics 1.2 and 1.3, Prof. Tena; and Block II, Prof. Ginés). In order to follow the course, it is highly recommended to have taken the subjects of the compulsory module, especially Methodologies and CAD Tools; and Analog, Digital, Mixed Signal and RF Integrated Circuits (AMS/RF). In case these subjects have not been taken, it will be necessary to complement the knowledge of CMOS design and CAD tools (Cadence). The contents are presented in both Spanish and English, although all the complementary material (articles, books, manuals, etc) are in English.

The contents of each topic will be released weekly or biweekly, and can be worked on synchronously by the students. After the release, the evaluation tasks will be set (see evaluation section).

BLOCK I: ADVANCED DIGITAL DESIGN (20h face-to-face, 80h non-face-to-face)

Topic I.1: Limitations of conventional digital design (English). 1 week. Release on week 1

- o Advances in integration scale. Effects on devices.
- o Effects of increased temperature, power, etc. on ASIC performance.
- o Practical limits on reduced dimensions, integration scale, etc.
- o Effects of supply voltage reduction.

Topic I.2: Timing in digital circuits and systems. 3 weeks. Release on week 2

- o Timing and clocking schemes. Performance analysis.
- o Design styles and memory elements for high-speed applications.
- o Dynamic modeling of gate delays. Degradation effect.
- o Clock generation and distribution mechanisms. Clock skew.
- o Self-timed asynchronous design. Globally asynchronous, locally synchronous schemes (GALS). Metastability, synchronization and arbitration.

Topic I.3: Low power techniques in digital circuits and systems. 2 weeks. Release on week 5

- o Contributions to power consumption. Influence of common technological and design parameters: transistor sizing, capacitive loads, supply voltage, switching activity, temperature, etc.

- o Techniques for estimation and modeling of separate contributions to power consumption. CAD tools.

- o Specific and generic mechanisms to reduce power consumption at different levels of description: system, algorithm, architecture, circuit, gate and device.

- o Design strategies for dynamic, short-circuit and leakage power consumption reduction.

- o Examples of power optimization: arithmetic circuits.

Topic I.4: Noise and signal integrity in digital integrated circuits (English). 3 weeks. Release on week 7

- o Characteristics and limitations in signal distribution, biases and interconnections in ASICs.

- o Description of capacitive and inductive coupling. Description and modeling of different types of noise. Switching noise.

- o Mechanisms of generation, distribution and effects of switching noise.

- o Estimation techniques based on on-chip modeling and simulation for switching noise.

- o Specific design techniques for low noise generation. Noise reduction methodologies using conventional techniques.

BLOCK II: ADVANCED ANALOGIC DESIGN (10h on-site, 40h off-site)

Topic II.1: Limitations of conventional analog design (English). 1 week. Release on week 10

- o Effects of technology scaling on analog devices.

- o Impact of technology scaling on analog circuit performance.
- o Integration issues:
 - Encapsulation technology.
 - Switching noise coupling in mixed-signal analog design.
- o Technology process options.

Topic II.2: Advanced Analog Design Techniques (English). 1 week. Release on week 11

- o Software-radio concept.
- o Advanced design and verification strategies.
 - Trimming and digital calibration.
 - Top-down and bottom-up design methodologies.
- o Switching and substrate noise mitigation techniques in mixed-signal circuits.
 - Advanced biasing techniques.
 - Pad ring separations.
 - Decoupling techniques.

Topic II.3 Digitally assisted analog design: calibration / trimming concepts. 1 week. Release on week 12

- o Differences between trimming and calibration.
- o Trimming techniques.
- o Calibration techniques:
 - Calibration process.

- Foreground and Background approaches.

- o Practical implementations in basic blocks:

- RF devices

- ADCs and DACs.

- Other devices.

Topic II.4: Mixed Simulations: AMS, Electrical Optimization Techniques (English). 1 week.
Release on week 13

- o Comparison between analog and digital on-top verification.

- o Analog and mixed-signal simulations.

- o Modeling techniques:

- Functional Verilog / VHDL

- AMS Description Language (Veriloga, Verilog-AMS, etc.)

Actividades formativas y horas lectivas

Actividad	Horas
B Clases Teórico/ Prácticas	48

Idioma de impartición del grupo

ESPAÑOL

Sistemas y criterios de evaluación y calificación

- Realización de ejercicios teóricos-prácticos on-line. Se considerará que el alumno ha aprobado el ejercicio si supera la puntuación de 5 sobre 10.

Porcentajes de ponderación mínima y máxima: 0% - 100%

- Informe de las prácticas y proyectos de diseño realizados. En este caso, la

calificación final será el resultado conjunto de la evaluación del trabajo presentado y, en su caso, de

la exposición del mismo por parte del alumno a través de videoconferencia.

Porcentajes de ponderación mínima y máxima: 0% - 100%

- Entrevista personal con el profesor mediante videoconferencia, en la que se

comentarán aspectos tanto teóricos como prácticos de todos los contenidos de la

asignatura.

Porcentajes de ponderación mínima y máxima: 0% - 100%

Metodología de enseñanza-aprendizaje

Horarios del grupo del proyecto docente

<https://fisica.us.es/docencia/titulaciones>

Calendario de exámenes

<https://fisica.us.es/docencia/titulaciones>

Tribunales específicos de evaluación y apelación

Presidente: ANTONIO JOSE ACOSTA JIMENEZ

Vocal: CARLOS JESUS JIMENEZ FERNANDEZ

Secretario: DIEGO VAZQUEZ GARCIA DE LA VEGA

Suplente 1: SERVANDO CARLOS ESPEJO MEANA

Suplente 2: ANTONIO JOSE GINES ARTEAGA

Suplente 3: ERICA TENA SANCHEZ

Sistemas y criterios de evaluación y calificación del grupo

Sistemas de evaluación

- Realización de ejercicios teóricos-prácticos on-line. Se considerará que el alumno ha aprobado el ejercicio si supera la puntuación de 5 sobre 10.

Porcentajes de ponderación mínima y máxima: 0% - 100%

- Informe de las prácticas y proyectos de diseño realizados. En este caso, la calificación final será el resultado conjunto de la evaluación del trabajo presentado y, en su caso, de

la exposición del mismo por parte del alumno a través de videoconferencia.

Porcentajes de ponderación mínima y máxima: 0% - 100%

- Entrevista personal con el profesor mediante videoconferencia, en la que se comentarán aspectos tanto teóricos como prácticos de todos los contenidos de la asignatura.

Porcentajes de ponderación mínima y máxima: 0% - 100%

Criterio de calificación

En la primera convocatoria, cada profesor evalúa los contenidos que imparte en base a las actividades de evaluación continua programadas en las secciones (Temas I.1 y I.4, Prof. Acosta; Temas I.2 y I.3, Prof. Tena; Bloque II, Prof. Ginés). Para aprobar la asignatura es necesario que se entreguen al menos la evaluación de dos de las tres secciones, y se obtenga una media aritmética de las calificaciones obtenidas superior a 5. En caso de no entregar las actividades, estas se calificarán con 0, a efectos de la media. Una relación orientativa de las actividades a realizar es la siguiente:

Tema I.1. No se evalúa

Tema I.2. Cuestionario, resolución de problemas y análisis crítico bibliográfico durante el tema

Tema I.3. Cuestionario, resolución de problemas y análisis crítico bibliográfico durante el tema

Tema I.4. Trabajo monográfico a realizar hasta dos semanas después de la finalización

Tema II.1. Cuestionario y pequeño proyecto tras finalizar el tema

Tema II.2. Cuestionario y pequeño proyecto tras finalizar el tema

Tema II.3. Cuestionario y pequeño proyecto tras finalizar el tema

Tema II.4. Cuestionario y pequeño proyecto tras finalizar el tema

La segunda y tercera convocatoria, sólo se podrá aprobar mediante la realización de un examen teórico-práctico de 3 horas de duración, con contenidos de las tres secciones, que se superará si se obtiene calificación superior a 5.

Bibliografía recomendada

Bibliografía General

Circuitos Integrados Digitales

Autores: J.M. Rabaey, A. Chandrakasan, B. Nokolic

Edición: 2004

Publicación: Pearson-Prentice-Hall

ISBN: : 978-0-3872-572-11.

Low-Power CMOS Circuits. Technology Logic Design and CAD Tools

Autores: C. Piguet

Edición: 2006

Publicación: Taylor&Francis

ISBN: : 978-0-3872-572-11.

High Speed CMOS Design Styles

Autores: K. Bernstein, K. M. Carrig, C. M. Durham, P. R. Hansen, D. Hogenmiller, E. J. Nowak, N. J. Rohrer

Edición: 1998

Publicación: Kluwer Academic Publications

ISBN: : 978-0-3872-572-11.

Integrated circuit design



UNIVERSIDAD
DE SEVILLA

PROYECTO DOCENTE
Técnicas Avanzadas de Diseño
Grp Clases Teórico-Prácticas de Técnicas Ava. (1)
CURSO 2023-24

Autores: N.H.E. Weste, and D.M. Harris

Edición: 2011

Publicación: Pearson

ISBN: : 978-0-3872-572-11.

Bibliografía Específica

Substrate Noise Coupling in Mixed-Signal ASICs

Autores: S. Donnay, G. Gielen

Edición: 2003

Publicación: Kluwer Academic Publishers

ISBN: : 978-0-3872-572-11.

Ultra-Low Power Integrated Circuit Design: Circuits, Systems, and Applications

Autores: [Recurso electrónico]: edited by Nianxiong Nick Tan, Dongmei Li, Zihua Wang

Edición: 2014

Publicación: Springer

ISBN: : 978-0-3872-572-11.

Logic-timing Simulation and the Degradation Delay Model

Autores: M.J. Bellido, J. Juan, M. Valencia (eds)

Edición: 2006

Publicación: Imperial College Press

ISBN: : 978-0-3872-572-11.

Digital Arithmetic

Autores: M. D. Ercegovac, T. Lang

Edición: 2004

Publicación: Morgan and Kauffmann

ISBN: : 978-0-3872-572-11.

Binary Polynomial Transforms and Nonlinear Digital filters

Autores: S. Agaian, J. Astola, K. Egiazarian

Edición: 1995

Publicación: Marcel Dekker Inc.

ISBN: : 978-0-3872-572-11.

Información Adicional

Base de datos del IEEE