

## Datos básicos de la asignatura

---

<b>Titulación:</b>	Máster Unv. en Microelectrónica: Diseño y Aplicaciones de Sistemas
<b>Año plan de estudio:</b>	2010
<b>Curso implantación:</b>	2010-11
<b>Centro responsable:</b>	Facultad de Física
<b>Nombre asignatura:</b>	Test y Diseño para Test
<b>Código asignatura:</b>	50990013
<b>Tipología:</b>	OPTATIVA
<b>Curso:</b>	1
<b>Periodo impartición:</b>	Segundo cuatrimestre
<b>Créditos ECTS:</b>	6
<b>Horas totales:</b>	150
<b>Área/s:</b>	Electrónica
<b>Departamento/s:</b>	Electrónica y Electromagnetismo

## Coordinador de la asignatura

---

VAZQUEZ GARCIA DE LA VEGA, DIEGO

## Profesorado (puede sufrir modificaciones a lo largo del curso por necesidades organizativas del Departamento)

---

### Profesorado de grupo principal

VAZQUEZ GARCIA DE LA VEGA, DIEGO

## Objetivos y competencias

---

### OBJETIVOS:

- Ser consciente de la necesidad del test en sistemas micro/nanométricos y conocer los conceptos y terminología asociados, así como sus fundamentos.
- Obtener una visión completa sobre el test de sistemas analógicos, digitales, y mixtos, así como las técnicas utilizadas y los retos que las tecnologías avanzadas y los sistemas complejos

plantean.

- Conocer técnicas específicas de Diseño-para-Test, y su inserción en el flujo de diseño.

#### COMPETENCIAS:

##### Competencias específicas:

Conocer tendencias avanzadas en circuitos y sistemas electrónicos, dispositivos y tecnologías micro y nanométricas.

Adquirir conocimientos específicos en áreas de gran interés como son las técnicas avanzadas de diseño y test.

##### Competencias genéricas:

Aumentar su capacidad de análisis y síntesis.

Estimular sus posibilidades de planteamiento y resolución de problemas.

Ampliar su iniciativa y actitud emprendedora.

Aumentar su capacidad de análisis y síntesis.

Estimular sus posibilidades de planteamiento y resolución de problemas.

Ampliar su iniciativa y actitud emprendedora.

## Contenidos o bloques temáticos

---

Test de sistemas digitales, analógicos y mixtos.

Diseño para test.

Aspectos avanzados sobre test.

## Relación detallada y ordenación temporal de los contenidos

---

Para cursar esta asignatura, no hay requisitos previos de haber cursado previamente algunas de las asignaturas del máster. Es necesario conocimientos de circuitos analógicos y digitales.

### BLOQUE I: CONCEPTOS BÁSICOS, FUNDAMENTOS Y TERMINOLOGÍA

#### Unidad 1: Defectos y sus manifestaciones

Concepto de test y su necesidad. Defectos y sus efectos: defecto, fallo, error y mal funcionamiento. Defectos en dispositivos semiconductores (agentes, mecanismos, yield y aspectos de modelado). Efectos y su clasificación (catastróficos, paramétricos, estructurales, funcionales, permanentes, temporales, eventuales, etc.)

#### Unidad 2: Modalidades de test

Necesidades e implicaciones de testado en las fases de vida de un IC (validación, caracterización, localización de defectos y diagnóstico, producción, operación en campo). Clases de test y sus fundamentos (estructural u orientado a defectos, funcional u orientado a especificaciones). Modalidades de testado (on-line / off-line, concurrente / no-concurrente, etc.). Elementos diferenciales en el test analógico, digital y mixto. ATE y plan de test. Aspectos básicos generales del test a nivel industrial. Diseño-para-Test y BIST.

### BLOQUE II: TEST DE SISTEMAS DIGITALES

#### Unidad 3: Generación y evaluación de experimentos de test

Modelos de fallos: stuck, bridge, fallos a nivel de transistor, fallos de retraso. Generación de patrones de test (TPG) independientes de modelos de fallos: funcional y aleatoria. TPG basada en modelos de fallos: aproximación exacta, sensibilización de caminos. TPG basada en simulación de fallos. Generación automática de patrones de test (ATPG). GPT para circuitos secuenciales. Test de retrasos.

#### Unidad 4: Diseño para testabilidad

Concepto. Técnicas Ad-hoc: particionamiento, puntos de test. Técnicas de scan: concepto, celdas de scan, arquitecturas, test de retrasos y flujo de diseño. Boundary scan (IEEE 1149.1): arquitectura, componentes y operación.

#### Unidad 5: BIST

BIST off\_line: arquitecturas genéricas, generadores de patrones de test, compresión de respuestas, aliasing, analizadores de firmas, BILBO, arquitecturas específicas. BIST on-line: duplicación, circuitos autochequeantes, seguridad a fallo. Test compresion .

### BLOQUE III: TEST ANALÓGICO Y MIXTO

#### Unidad 6: Test funcional

Ventajas y limitaciones del test funcional. Setup de medida y conceptos relacionados (muestreo coherente, aliasing sub-sampling). Técnicas estándares de test basados en DSP (IEEE std 1241).

#### Unidad 7: Test indirecto

Ventajas y limitaciones de las medidas indirectas. Test basado en modelo experto. Test basado en modelo empírico.

#### Unidad 8: DfT y BIST

Desarrollo de un caso de estudio: Test digitales para moduladores Sigma-Delta.  
Generación de estímulo, análisis de firmas y diagnóstico.

#### Bloque IV: TEMAS ACTUALES

Unidad 9: El test de circuitos en perspectiva.

Tendencias de test en tecnologías avanzadas. Análisis del ROADMAP.

Test de circuitos RF.

#### ENGLISH VERSION \*\*\*\*\*

To take this course, there are no prerequisites of having previously taken some of the other courses of the master.

#### BLOCK I: BASIC CONCEPTS, FOUNDATIONS AND TERMINOLOGY

##### Unit 1: Defects and their manifestations

Test concept and its need. Defects and their effects: defect, failure, error and malfunction. Defects in semiconductor devices (agents, mechanisms, yield and modeling aspects). Effects and their classification (catastrophic, parametric, structural, functional, permanent, temporary, eventual, etc.)

##### Unit 2: Test modalities

Needs and implications of testing in the life phases of an IC (validation, characterization, location of defects and diagnosis, production, field operation). Test classes and their fundamentals (structural or defect-oriented, functional or specification-oriented). Testing modalities (on-line / off-line, concurrent / non-concurrent, etc.). Differential elements in the analog, digital and mixed test. ATE and test plan. General basic aspects of the test at an industrial level. Design-for-Test and BIST.

## BLOCK II: DIGITAL SYSTEMS TEST

### Unit 3: Generation and evaluation of test experiments

Fault models: stuck, bridge, transistor level failures, lag failures. Fault independent Test Pattern Generation (TPG): functional and random. TPG based on fault models: exact approximation, path sensitization. TPG based on fault simulation. Automatic generation of test patterns (ATPG). GPT for sequential circuits. Delay test.

### Unit 4: Design for testability

Concept. Ad-hoc techniques: partitioning, test points. Scan techniques: concept, scan cells, architectures, delay test and design flow. Boundary scan (IEEE 1149.1): architecture, components and operation.

### Unit 5: BIST

BIST off\_line: generic architectures, test pattern generators, response compression, aliasing, signature analyzers, BILBO, specific architectures. BIST on-line: duplication, self-checking circuits, fault secureness. Compression test.

## BLOCK III: ANALOGUE AND MIXED TEST

### Unit 6: Functional test

Advantages and limitations of the functional test. Measurement setup and related concepts (coherent sampling, sub-sampling aliasing). Standard test techniques based on DSP (IEEE std 1241).

### Unit 7: Indirect test

Advantages and limitations of indirect measures. Test based on expert model. Test based

on empirical model.

Unit 8: DfT and BIST

Development of a case study: Digital tests for Sigma-Delta modulators. Stimulus generation, signature analysis and diagnosis.

BLOCK IV: CURRENT ISSUES

Unit 9: The circuit test in perspective.

Test trends in advanced technologies. ROADMAP analysis.

RF circuit test.

## Actividades formativas y horas lectivas

---

Actividad	Horas
B Clases Teórico/ Prácticas	48

## Idioma de impartición del grupo

---

ESPAÑOL

## Sistemas y criterios de evaluación y calificación

---

- Realización de ejercicios teóricos-prácticos on-line. Se considerará que el alumno ha aprobado el ejercicio si supera la puntuación de 5 sobre 10.

Porcentajes de ponderación mínima y máxima: 0% - 100%

- Informe de las prácticas y proyectos de diseño realizados. En este caso, la calificación final será el resultado de la evaluación del trabajo presentado y, en su caso, de la exposición del mismo por parte del alumno a través de videoconferencia.

Porcentajes de ponderación mínima y máxima: 0% - 100%

- Entrevista personal con el profesor mediante videoconferencia, en la que se comentarán aspectos tanto teóricos como prácticos de todos los contenidos de la asignatura.

Porcentajes de ponderación mínima y máxima: 0% - 100%

## Metodología de enseñanza-aprendizaje

---

## Horarios del grupo del proyecto docente

---

<https://fisica.us.es/docencia/titulaciones>

## Calendario de exámenes

---

<https://fisica.us.es/docencia/titulaciones>

## Tribunales específicos de evaluación y apelación

---

Presidente: GILDAS LEGER  
Vocal: MARIA JOSE AVEDILLO DE JUAN  
Secretario: GLORIA HUERTAS SANCHEZ  
Suplente 1: DIEGO VAZQUEZ GARCIA DE LA VEGA  
Suplente 2: SERVANDO CARLOS ESPEJO MEANA  
Suplente 3: JOSE MARIA QUINTANA TOLEDO

## Sistemas y criterios de evaluación y calificación del grupo

---

### Criterio de calificación

Las lecciones del curso incluyen preguntas y ejercicios como tareas a realizar para su evaluación, que serán liberados a medida que se impartan los contenidos correspondientes. Los alumnos deberán realizar dichos ejercicios y enviarlos al profesor correspondiente en tiempo y forma, lo cual se indicará con antelación suficiente. En cualquier caso, al comienzo del periodo lectivo de la asignatura, se publicará una planificación detallada sobre los periodos de impartición de los distintos contenidos y de las tareas asociadas.



En la primera convocatoria, las calificaciones de las tareas propuestas a lo largo del curso servirán a modo de evaluación continua y conformarán la evaluación final con un peso del 100%. El peso en particular de cada uno de los ejercicios será anunciado convenientemente en la mencionada planificación detallada de la asignatura. A este respecto, los profesores de la asignatura podrán requerir información adicional sobre los trabajos propuestos mediante entrevista, videoconferencias, etc.

La segunda y tercera convocatorias consistirán exclusivamente en un examen escrito, que se hará disponible en la plataforma en las fechas que se publicarán convenientemente, y que conformará la base de la evaluación final con un peso del 100%.

## Bibliografía recomendada

---

### Bibliografía General

Essentials of Electronic Testing for Digital, Memory, and Mixed-signal VLSI

Autores: Michael L Bushnell, Vishwani D Agrawal, Knovel Laung-Terng Wang, Charles E. Stroud, NurTouba

Edición: 2002

Publicación: Springer

ISBN: 978-84-481-8308-0

Test and Design-For-Testability in Mixed-Signal Integrated Circuits

Autores: Jose L. Huertas

Edición: 2004

Publicación: Springer

ISBN: 978-84-481-8308-0

Analog and Mixed Signal Testing: Methods and Instrumentation

Autores: John McDermid

Edición: 2006

Publicación: Pearson Education

ISBN: 978-84-481-8308-0

Electronic Testing Methodologies

Autores: Dimitris Gizopoulos

Edición: 2006

Publicación: Springer

ISBN: 978-84-481-8308-0

VLSI Test Principles and Architectures

Autores: Laung-Terng Wang, Cheng-Wen Wu, Xiaoqing Wen

Edición: 2006



UNIVERSIDAD  
DE SEVILLA

**PROYECTO DOCENTE**  
**Test y Diseño para Test**  
**Grp Clases Teórico-Prácticas de Test y Diseñ. (1)**  
**CURSO 2023-24**

Publicación: Morgan Kaufmann

ISBN: 978-84-481-8308-0

**Bibliografía Específica**

Oscillation-based Test in Mixed-signal Circuits

Autores: Gloria Huertas Sánchez, Diego Vazquez Garcia de la Vega, Jose Luis Huertas Diaz

Edición: 2006

Publicación: Springer

ISBN: 978-84-481-8308-0

Analog and Mixed-Signal Test

Autores: Bapiraju Vinnakota

Edición: 1998

Publicación: Prentice Hall

ISBN: 978-84-481-8308-0

**Información Adicional**